

MEMORY, MANUFACTURE THEREOF AND METHOD OF WRITING AND READING INFORMATION

Publication number: JP11040758 (A)

Publication date: 1999-02-12

Inventor(s): TAKIZAWA YUTAKA; TAKEUCHI FUMIYO; SUGA KATSUYUKI; MISHIMA YASUYOSHI +

Applicant(s): FUJITSU LTD +

Classification:

- international: **H01L27/10; H01L27/10; (IPC1-7): H01L27/10**

- European:

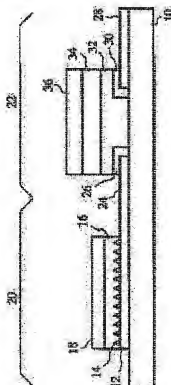
Application number: JP19970197374 19970723

Priority number(s): JP19970197374 19970723

Abstract of JP 11040758 (A)

PROBLEM TO BE SOLVED: To form memory cells on a substrate low in heat resistance or difficult to form a high-quality p-n junction, by breaking the insulation between bumps formed on first electrodes and second electrodes to form denatured regions between the first and the second electrodes.

SOLUTION: On the surface of a glass substrate 10, electrodes 12 having protrusions 14 for concentrating an electric field are formed with an insulation film 16 formed on the electrodes 12 to insulate the electrodes 16 from electrodes 18. On the film 16 electrodes 18 are formed, facing the electrodes 12. The insulation between the electrodes 12, 18 of memory cells is broken to form high conductivity denatured regions between the electrodes 12, 18, thereby writing a logic value 1. The insulation between the electrodes 12, 18 is held to set the memory cell information to logic value 0, thus forming memory cells on a substrate low in heat resistance or difficult to form a high-quality p-n junction.



Data supplied from the **espacenet** database — Worldwide

特開平11-40758

(43) 公開日 平成11年(1999) 2月12日

(51) Int.Cl.⁶
H 0 1 L 27/10識別記号
4 3 1F I
H 0 1 L 27/10

4 3 1

審査請求 未請求 請求項の数13 O L (全 11 頁)

(21) 出願番号 特願平9-197374

(22) 出願日 平成9年(1997) 7月23日

(71) 出願人 000003223

富士通株式会社

神奈川県川崎市中原区小田中4丁目1番
1号

(72) 発明者 瀧澤 裕

神奈川県川崎市中原区小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 竹内 文代

神奈川県川崎市中原区小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 北野 好人

最終頁に続く

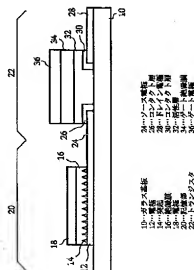
(54) 【発明の名称】 記憶装置及びその製造方法、並びに情報書き込み方法及び情報読み出し方法

(57) 【要約】

本発明の第1実施形態による記憶装置を示す断面図

【課題】 耐熱性の低い基板上や高品質のp n接合を形成することが困難な基板上にもメモリセルを形成することができる記憶装置及びその製造方法、並びにその記憶装置の情報書き込み方法及び情報読み出し方法を提供する。

【解決手段】 基板10と、基板10上に形成され、表面に突起14が形成された第1の電極12と、第1の電極12上に形成された絶縁膜16と、絶縁膜16上に形成された第2の電極18とを有し、突起14と第2の電極18との間の絶縁膜16を絶縁破壊して第1の電極12と第2の電極18との間に変質領域を形成することにより情報を書き込む。



【特許請求の範囲】

【請求項1】 基板と、

前記基板上に形成され、表面に突起が形成された第1の電極と、

前記第1の電極上に形成された絶縁膜と、

前記絶縁膜上に形成された第2の電極とを有し、

前記突起と前記第2の電極との間の前記絶縁膜を絶縁破壊して前記第1の電極と前記第2の電極との間に変質領域を形成することにより情報を書き込むことを特徴とする記憶装置。

【請求項2】 請求項1記載の記憶装置において、前記第1の電極に接続され、書き込まれた情報を検出するトランジスタを更に有することを特徴とする記憶装置。

【請求項3】 基板と、

前記基板上に形成されたソース電極と、

前記基板上に、前記ソース電極に離間して形成されたドレイン電極と、

前記基板上、前記ソース電極上、及び前記ドレイン電極上に形成され、表面に突起が形成された活性層と、

前記活性層上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを有し、

前記突起と前記ゲート電極との間の前記ゲート絶縁膜を絶縁破壊して前記活性層に変質領域を形成することにより情報を書き込むことを特徴とする記憶装置。

【請求項4】 請求項1又は2記載の記憶装置の情報書き込み方法であって、

前記第1の電極と前記第2の電極との間に所定の電圧を印加し、前記突起と前記第2の電極との間の前記絶縁膜を絶縁破壊して、前記第1の電極と前記第2の電極との間に前記変質領域を形成することにより情報を書き込むことを特徴とする情報書き込み方法。

【請求項5】 請求項3記載の記憶装置の情報書き込み方法であって、

前記活性層と前記ゲート電極との間に所定の電圧を印加し、前記突起と前記ゲート電極との間の前記ゲート絶縁膜を絶縁破壊して、前記活性層に前記変質領域を形成することにより情報を書き込むことを特徴とする情報書き込み方法。

【請求項6】 請求項1又は2記載の記憶装置の情報読み出し方法であって、

前記第1の電極と前記第2の電極との間に所定の電圧を印加し、前記第1の電極と前記第2の電極との間に流れる電流に応じて書き込まれた情報を検出することを特徴とする情報読み出し方法。

【請求項7】 請求項3記載の記憶装置を用いた情報読み出し方法であって、

前記ゲート電極に所定の電圧を印加したときに流れるドレイン電流に応じて書き込まれた情報を検出することを特徴とする情報読み出し方法。

【請求項8】 基板上に第1の電極を形成する第1電極形成工程と、

前記第1の電極表面に突起を形成する突起形成工程と、前記第1の電極上に、絶縁膜を形成する絶縁膜形成工程と、

前記絶縁膜上に第2の電極を形成する第2電極形成工程とを有することを特徴とする記憶装置の製造方法。

【請求項9】 請求項8記載の記憶装置の製造方法において、前記突起形成工程は、前記第1の電極上に金属膜又は半導体膜を成膜する成膜工程と、フォトエッチングにより前記金属膜又は前記半導体膜を所定の形状にパターンニングして、前記第1の電極上に前記突起を形成するパターンニング工程とを有することを特徴とする記憶装置の製造方法。

【請求項10】 請求項8記載の記憶装置の製造方法において、

前記突起形成工程では、前記第1の電極を溶解し、溶解した前記第1の電極を凝固することにより、前記第1の電極表面に前記突起を形成することを特徴とする記憶装置の製造方法。

【請求項11】 請求項8記載の記憶装置の製造方法において、

前記第1電極形成工程では、導電性金属酸化膜より成る前記第1の電極を形成し、

前記突起形成工程は、前記導電性金属酸化膜の表面を還元して金属粒子を形成する還元工程と、アモルファスシリコンを堆積して前記金属粒子下部に前記アモルファスシリコンを成長して、前記金属粒子と前記アモルファスシリコンより成る前記突起を形成するアモルファスシリコン堆積工程とを有することを特徴とする記憶装置の製造方法。

【請求項12】 請求項11記載の記憶装置の製造方法において、

前記導電性金属酸化膜は、酸化スズ膜、酸化インジウム膜、酸化亜鉛膜、又は不純物を導入した酸化インジウム膜であることを特徴とする記憶装置の製造方法。

【請求項13】 請求項8乃至12のいずれか1項に記載の記憶装置の製造方法において、

前記基板は、ガラス基板、又は絶縁膜を形成したシリコン基板であることを特徴とする記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記憶装置に係り、特にユーザが情報を書き込むことのできる読み出し専用の記憶装置及びその製造方法、並びに情報書き込み方法及び情報読み出し方法に関する。

【0002】

【従来の技術】近年、アプリケーションソフトやデータの大容量化に伴い、大容量の記憶媒体が普及している。

特に、コンパクトディスク読み出し専用メモリ(CD-ROM、Compact Disk-Read Only Memory)は、雑誌や書籍に添付されるほど普及している。

【0003】しかしながら、CD-ROM等のディスク型の記憶媒体は、機械的な読み出し機構を用いて読み出されるため、アクセススピードが遅いという問題がある。従って、CD-ROM等のディスク型の記憶媒体は、速いアクセススピードが要求される用途には適していない。これに対し、アクセススピードが速い記憶装置として、ヒューズ型のPROM(Programmable Read-Only Memory)やダイオード破壊型のPROM等の半導体記憶装置が知られている。

【0004】ヒューズ型のPROMは、論理値0の状態を書き込みたいメモリセルに過大な電流を流して、高濃度に不純物を添加したポリシリコンにより成るヒューズを切ることによって情報を書き込むことができる構造になっている。ヒューズが切断されたメモリセルにおいては、トランジスタのゲート電極にかかる電圧を印加してもトランジスタがオンとなることはないため、トランジスタがオンするか否かを検出することにより書き込まれている情報を読み取ることができる。しかし、ヒューズ型のPROMでは、ヒューズとなるポリシリコン配線を形成するためには高温のプロセスを用いなければならないため、耐熱性の低いガラス基板を用いて製造することはできなかった。このため、従来のヒューズ型のPROMは、高価ではあるが耐熱性の高いシリコン基板を用いて製造されていた。

【0005】また、ダイオード破壊型のPROMは、互いに逆方向に接続したpn接合ダイオードの1つを逆バイアスを印加して破壊することで、論理値1の状態を書き込むことができる構造になっている。ダイオード破壊型のPROMでは、高品質なpn接合を形成するために欠陥の少ない結晶が必要である。このため、従来のダイオード破壊型のPROMは、高価ではあるが結晶性の良いシリコン基板を用いて製造されていた。

【0006】また、メモリセル、トランジスタ、又は異なる機能を有するIC(Integrated Circuit)等を複数の層に積層した構造を有する3次元LSI(Large Scale Integration)が提案されている。3次元LSIは、積層化による高集積化、それぞれ異なる機能を持つICの集積による高機能化、及び並列処理による高速化等を実現しうるものとして期待されている。

【0007】

【発明が解決しようとする課題】しかしながら、上記のヒューズ型のPROMやダイオード破壊型のPROMは、高価なシリコン基板上にメモリセルを形成しなければならないので、コストパフォーマンスが悪かった。また、ガラス基板は耐熱性や結晶性に問題があるため、LCD(Liquid Crystal Display)等のガラス基板上には、上記のヒューズ型のPROMやダイオード破壊型の

PROMを形成することはできなかった。

【0008】また、3次元LSIでは、アルミ配線等が行われた層の上に、高温の成膜工程が必要とされる他の層を形成すると、アルミ配線等が溶解してしまうため製造が困難であった。本発明の目的は、耐熱性の低い基板上や高品質のpn接合を形成することが困難な基板上にもメモリセルを形成することができる記憶装置及びその製造方法、並びにその記憶装置の情報書き込み方法及び情報読み出し方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的は、基板と、前記基板上に形成され、表面に突起が形成された第1の電極と、前記第1の電極上に形成された絶縁膜と、前記絶縁膜上に形成された第2の電極とを有し、前記突起と前記第2の電極との間の前記絶縁膜を絶縁破壊して前記第1の電極と前記第2の電極との間に実質領域を形成することにより情報を書き込むことを特徴とする記憶装置により達成される。これにより、表面に突起が形成された第1の電極、絶縁膜、及び第2の電極を低い温度で形成することができるので、耐熱性の低い基板上にメモリセルを形成することができる。また、表面に突起が形成された第1の電極、絶縁膜、及び第2の電極はpn接合を形成する必要がないので、高品質なpn接合を形成することが困難な基板上にもメモリセルを形成することができる。

【0010】また、上記の記憶装置において、前記第1の電極に接続され、書き込まれた情報を読み出すトランジスタを更に有することが望ましい。また、上記目的は、基板と、前記基板上に形成されたソース電極と、前記基板上に、前記ソース電極に隣接して形成されたドレイン電極と、前記ソース電極上、及び前記ドレイン電極上に形成され、表面に突起が形成された活性層と、前記活性層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有し、前記突起と前記ゲート電極との間の前記ゲート絶縁膜を絶縁破壊して前記活性層に実質領域を形成することにより情報を書き込むことを特徴とする記憶装置により達成される。これにより、ソース電極、ドレイン電極、表面に突起が形成された活性層、ゲート絶縁膜、及びゲート電極を低い温度で形成することができるので、耐熱性の低い基板上にメモリセルを形成することができる。また、ソース電極、ドレイン電極、表面に突起が形成された活性層、ゲート絶縁膜、及びゲート電極はpn接合を形成する必要がないので、高品質なpn接合を形成することが困難な基板上にもメモリセルを形成することができる。

【0011】また、上記目的は、上記の記憶装置の情報書き込み方法であって、前記第1の電極と前記第2の電極との間に所定の電圧を印加し、前記突起と前記第2の電極との間の前記絶縁膜を絶縁破壊して、前記第1の電

極と前記第2の電極との間に前記突起領域を形成することにより情報を書き込むことを特徴とする情報書き込み方法により達成される。

【0012】また、上記目的は、上記の記憶装置の情報書き込み方法であって、前記活性層と前記ゲート電極との間に所定の電圧を印加し、前記突起と前記ゲート電極との間の前記ゲート絶縁膜を絶縁破壊して、前記活性層に前記突起領域を形成することにより情報を書き込むことを特徴とする情報書き込み方法により達成される。また、上記目的は、上記の記憶装置の情報読み出し方法であって、前記第1の電極と前記第2の電極との間に所定の電圧を印加し、前記第1の電極と前記第2の電極との間に流れる電流に応じて書き込まれた情報を検出することと特徴とする情報読み出し方法により達成される。

【0013】また、上記目的は、上記の記憶装置を用いた情報読み出し方法であって、前記ゲート電極に所定の電圧を印加したときに流れるドレイン電流に応じて書き込まれた情報を検出することと特徴とする情報読み出し方法により達成される。また、上記目的は、基板上に第1の電極を形成する第1電極形成工程と、前記第1の電極表面に突起を形成する突起形成工程と、前記第1の電極上に、絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜上に第2の電極を形成する第2電極形成工程とを有することを特徴とする記憶装置の製造方法により達成される。これにより、表面に突起が形成された第1の電極、絶縁膜、及び第2の電極を低い温度で形成することができるので、耐熱性の低い基板上にメモリセルを形成することができる。また、表面に突起が形成された第1の電極、絶縁膜、及び第2の電極にはpn接合を形成する必要がないので、高品質なpn接合を形成することが可能な基板上にもメモリセルを形成することができる。

【0014】また、上記の記憶装置の製造方法において、前記突起形成工程は、前記第1の電極上に金属膜又は半導体膜を成膜する成膜工程と、フォトエッチングにより前記金属膜又は前記半導体膜を所定の形状にパターンニングして、前記第1の電極上に前記突起を形成するパターンニング工程とを有することが望ましい。また、上記の記憶装置の製造方法において、前記突起形成工程では、前記第1の電極を溶解し、溶解した前記第1の電極を凝固することにより、前記第1の電極表面に前記突起を形成することが望ましい。

【0015】また、上記の記憶装置の製造方法において、前記第1電極形成工程では、導電性金属酸化物より成る前記第1の電極を形成し、前記突起形成工程は、前記導電性金属酸化物の表面を還元して金属粒子を形成する還元工程と、アモルファスシリコンを堆積して前記金属粒子下部に前記アモルファスシリコンを成長して、前記金属粒子と前記アモルファスシリコンより成る前記突起を形成するアモルファスシリコン堆積工程とを有することが望ましい。

【0016】また、上記の記憶装置の製造方法において、前記導電性金属酸化物は、酸化スズ膜、酸化インジウム膜、酸化亜鉛膜、又は不純物を導入した酸化インジウム膜であることが望ましい。また、上記の記憶装置の製造方法において、前記基板は、ガラス基板、又は絶縁膜を形成したシリコン基板であることが望ましい。

【0017】

【発明の実施の形態】

【第1実施形態】本発明の第1実施形態による記憶装置及びその製造方法を図1乃至図3を用いて説明する。図1は、本実施形態による記憶装置を示す断面図である。図2は、本実施形態による記憶装置の動作原理を示す断面図である。図3は、本実施形態による記憶装置の製造方法を示す工程断面図である。

【0018】図1は、本実施形態による記憶装置におけるメモリセルを示している。ガラス基板10上には、電界を集中するための複数の突起14が表面に形成された電極12が形成されている。電極12は、Al等の金属により形成してもよいし、半導体により形成してもよい。突起14は、ほぼ円錐形に形成されており、高さは約50nm、底面の直径は約0.8μmである。このような突起14は、電極12上にCr膜を形成した後、フォトリソグラフィ技術によりパターンニングして形成することができる。なお、突起14は、円錐形に限定されるものではなく、突起14近傍に電界を集中できるならば円柱状などいかなる形状でもよい。

【0019】表面に突起14が形成された電極12上には、電極12と電極18とを絶縁するための絶縁膜16が形成されている。絶縁膜16は、シリコン酸化物膜でもよいし、窒化シリコン膜等でもよい。絶縁膜16上には、電極12に対向する電極18が形成されている。電極18は、Al等の金属により形成してもよいし、半導体により形成してもよい。

【0020】このようにして、電極12、絶縁膜16、電極18等より成る記憶部20が構成されている。一方、電極12は、センスアンダとして機能するトランジスタ22のソース電極24に接続されている。ガラス基板10上には、ソース電極24とドレイン電極28とが離間して形成されている。

【0021】また、ガラス基板10上には、活性層32が形成されている。活性層32は、アモルファスシリコン膜であり、プラズマCVD (Plasma Chemical Vapor Deposition) 法等により形成することができ。ソース電極24と活性層32との間には、ソース電極24と活性層32とを接続するためのコンタクト層26が形成されている。また、ドレイン電極28と活性層32との間には、ドレイン電極28と活性層32とを接続するためのコンタクト層30が形成されている。コンタクト層26、30は、不純物としてPが導入されたアモルファスシリコン膜であり、プラズマCVD法等により形成する

ことができる。

【0022】活性層32上には、酸化シリコン膜より成るゲート絶縁膜34が形成されている。ゲート絶縁膜34上には、Cr層より成るゲート電極36が形成されている。このようにして、ソース電極24、ドレイン電極28、活性層32、ゲート絶縁膜34、ゲート電極36等より成るトランジスタ22が形成されている。

【0023】次に、図1及び図2を用いて、本実施形態による記憶装置の動作について説明する。図2は、記憶部20の構成要素のみを示しており、便宜上その他の構成要素を省略している。図2(a)は絶縁破壊が発生していない記憶部を示しており、図2(b)は絶縁破壊が発生した記憶部を示している。

【0024】本実施形態による記憶装置は、記憶部20の電極12と電極18との間で絶縁破壊を発生することにより、例えば論理値1を書き込むものである。一方、絶縁破壊を発生しないければメモリセルは論理値0を示すこととなる。まず、本実施形態による記憶装置に情報を書き込む場合について説明する。記憶装置に情報を書き込む場合には、記憶装置内のすべてのメモリセルの電極18とドレイン電極28に、ドレイン電極28側が正になるように所定の電圧を印加する。例えば、所定の電圧として20Vを印加する。

【0025】次に、各々のメモリセルに順次情報を書き込んでいく。例えば、メモリセルに論理値1を書き込む場合は、メモリセルのゲート電極36にトランジスタ22をオンにするための所定の電圧を印加する。所定の電圧としては、例えば10Vを印加する。すると、トランジスタ22がオンとなり、電極18と電極12との間に電圧が印加され、電極12の突起14近傍に電界が集中する。突起14近傍に電界が集中すると、絶縁破壊が発生し、図2(b)に示すように電極12の突起14近傍から電極18にかけて導電率の高い変質領域38が形成される。変質領域38は、絶縁膜16内のみならず、電極12、18内にも形成される。これにより、電極12と電極18とが変質領域38を介して接続される。なお、変質領域38は少なくとも1つの突起14に対して形成されれば電極12と電極18とを接続させることができるので、変質領域38はすべての突起14に対して形成される必要はない。なお、変質領域38の導電率は、電極12、18、及び突起14の材料を適宜選択することにより、設定することができる。本実施形態では、電極12、18、及び突起14に導電率の高い金属等を用いて変質領域38の導電率が高かったが、電極12、18、及び突起14に導電率の低い物質、例えば不純物を導入しないシリコン等を用いれば、変質領域38の導電率を低くすることができる。

【0026】一方、メモリセルのゲート電極36に電圧を印加しなければ、電極12と電極18との間は絶縁状態が保持されたままとなるので、メモリセルは論理値0

を示すこととなる。このように、本実施形態による記憶装置では、メモリセルの電極12と電極18との間を絶縁破壊して電極12と電極18との間に導電率の高い変質領域をすることにより論理値1を書き込み、メモリセルの電極12と電極18との間の絶縁状態を保持したままとすることによりメモリセルの情報を論理値0とすることができる。

【0027】次に、本実施形態による記憶装置から情報を読み出す場合について説明する。本実施形態による記憶装置から情報を読み出す場合は、記憶装置内のすべてのメモリセルの電極18とドレイン電極28に、ドレイン電極28側が正になるように所定の電圧を印加する。例えば、所定の電圧として5Vを印加する。次に、読み出したメモリセルのトランジスタ22のゲート電極36に、トランジスタ22をオンするための所定の電圧を印加する。

【0028】論理値1が書き込まれたメモリセルでは、電極12と電極18との間が導通しているので、トランジスタ22にドレイン電流が流れる。一方、論理値0を示すメモリセルでは、電極12と電極18との間で絶縁状態が保持されているので、トランジスタ22にドレイン電流が流れない。従って、ドレイン電流が流れるか否かを検出することにより、書き込まれた情報を読み出すことができる。

【0029】次に、本実施形態による記憶装置の製造方法を図3を用いて説明する。トランジスタ22は通常のTFT(Thin Film Transistor)の製造方法と同様に形成することができるので、記憶部20の製造方法のみを示す。まず、ガラス基板10上に、スパッタ法により、A1層より成る電極12を形成する(図3(a)参照)。

【0030】次に、電極12表面に、スパッタ法により、膜厚約50 μ mのCr層40を形成する(図3(b)参照)。次に、フォトリソ法を施し、突起14を形成する領域に直径約0.8 μ mの円形パターンを形成し、エッチングすることにより突起14を形成する(図3(c)参照)。

【0031】次に、突起14が形成された電極12上に、プラズマCVD法により、酸化シリコン膜16を形成する。原料ガスとしては、シランガスと亜酸化窒素ガスを用いる。この後、絶縁膜16上に、スパッタ法によりA1層より成る電極18を形成する。このようにして、本実施形態による記憶装置を形成することができる。

【0032】[第2実施形態] 本発明の第2実施形態による記憶装置及びその製造方法を図4乃至図6を用いて説明する。図4は、本実施形態による記憶装置を示す断面図である。図4は、本実施形態による記憶装置のゲート電極-ドレイン電流特性を示すグラフである。図6は、本実施形態による記憶装置の製造方法を示す工程断

面図である。図1乃至図3に示す第1実施形態による記憶装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0033】本実施形態による記憶装置は、メモリセルがトランプゲート型のスタグ型トランジスタであることに主な特徴がある。図4は、本実施形態による記憶装置のメモリセルを示している。ガラス基板10上には、ソース電極24とドレイン電極28とが離間して形成されている。

【0034】また、ガラス基板10上には、活性層32が形成されている。活性層32は、アモルファスシリコン膜であり、プラズマCVD法等により形成することができる。ソース電極24と活性層32との間には、ソース電極24と活性層32とを接続するためのコンタクト層26が形成されている。また、ドレイン電極28と活性層32との間には、ドレイン電極28と活性層32とを接続するためのコンタクト層30が形成されている。コンタクト層26、30は、不純物としてPが導入されたアモルファスシリコン膜であり、プラズマCVD法等により形成することができる。

【0035】活性層32の表面には、Crより成る複数の突起14が形成されている。突起14は、ほぼ円錐形に形成されており、高さは約50nm、底面の直径は約0.8μmである。このような突起14は、活性層32上にCr膜を形成した後、フォトリソグラフィ技術によりパターンニングして形成することができる。突起14が形成された活性層32上には、窒化シリコン膜より成るゲート絶縁膜34が形成されている。ゲート絶縁膜34上には、Cr層より成るゲート電極36が形成されている。

【0036】次に、本実施形態による記憶装置の動作を図4を用いて説明する。記憶装置に情報を書き込む場合には、記憶装置内のすべてのメモリセルのソース電極24とドレイン電極28に、ドレイン電極28側が正になるように所定の電圧を印加する。例えば、所定の電圧として10Vを印加する。次に、各々のメモリセルに順次情報を書き込んでいく。

【0037】例えば、メモリセルに論理値0を書き込む場合は、メモリセルのゲート電極36にトランジスタをオンにするための所定の電圧を印加する。すると、活性層32に形成されるチャネル領域（図示せず）とゲート電極36との間に電圧が印加されるため、突起14近傍に電界が集中する。突起14近傍に電界が集中すると、絶縁破壊が発生し、突起14近傍の活性層32からゲート電極36にかけて変質領域（図示せず）が形成される。また、このとき、活性層32にも変質領域（図示せず）が形成される。活性層32はアモルファスシリコン膜であるため、活性層32内には導電率の低い変質領域が形成される。

【0038】一方、メモリセルのゲート電極36に電圧

を印加しなければ、活性層32に導電性の低い変質領域が形成されないため、メモリセルは論理値1を示すこととなる。このように、本実施形態による記憶装置では、メモリセルの活性層32に導電性の低い変質領域を形成することにより論理値0を書き込み、メモリセルの活性層32に変質領域を形成しないことによりメモリセルの情報を論理値1とすることができる。

【0039】次に、本実施形態による記憶装置から情報を読み出す場合について説明する。記憶装置から情報を読み出す場合は、記憶装置内のすべてのメモリセルのソース電極24とドレイン電極28との間に、ドレイン電極28側が正になるように1Vの電圧を印加する。次に、読み出したいメモリセルのゲート電極36に、トランジスタをオンするための所定の電圧を印加する。

【0040】論理値0が書き込まれたメモリセルでは、メモリセルの活性層32に導電性の低い変質領域が形成されているため、ドレイン電流はわずかに流れない。この場合、ゲート電圧-ドレイン電流特性は、図5のグラフの一点鎖線のような特性を示す。一方、論理値1を示すメモリセルでは、メモリセルの活性層32に変質領域が形成されていないので、ドレイン電流が流れる。このとき、ゲート電圧-ドレイン電流特性は、図5のグラフの実線のような特性を示す。

【0041】従って、ドレイン電流の値がしきい値以上か否かを検出することにより、メモリセルの情報を検出することができる。このようにして、本実施形態による記憶装置から情報を読み出すことができる。次に、本実施形態による記憶装置の製造方法を図6を用いて説明する。

【0042】まず、ガラス基板10上に、スパッタ法によりA1層を形成し、ソース電極とドレイン電極の形状にパターンニングして、ソース電極24とドレイン電極28とを形成する。この後、ガラス基板10上、ソース電極24上、及びドレイン電極28上に、プラズマCVD法により、不純物としてPが導入されたアモルファスシリコン膜29を形成する。（図6（a）参照）。

【0043】次に、ソース電極24とドレイン電極28との間の所定領域のアモルファスシリコン29をパターンニングして、ガラス基板10表面を露出させる。この後、露出したガラス基板10上、及びアモルファスシリコン膜29上、プラズマCVD法により、アモルファスシリコン膜より成る活性層32を形成する。この後、活性層32上に、スパッタ法により、膜厚約50nmのCr層40を形成する（図6（b）参照）。

【0044】次に、フォトリソジストを塗布し、突起14を形成する領域に直径約0.8μmの円形パターンを形成し、エッチングすることにより突起14を形成する（図6（c）参照）。次に、突起14が形成された活性層32上に、プラズマCVD法により、窒化シリコン膜より成るゲート絶縁膜34を形成する。この後、ゲート

絶縁膜34上に、スパッタ法により、Cr層より成るゲート電極36を形成する。この後、余分な領域のアモルファスシリコン29、活性層32、突起14、ゲート絶縁膜34、及びゲート電極36をパターニングして、本実施形態による記憶装置を形成することができる(図6(d)参照)。

【0045】[第3実施形態]本発明の第3実施形態による記憶装置の製造方法を図7を用いて説明する。図7は、本実施形態による記憶装置の製造方法を示す工程断面図である。図1乃至図6に示す第1又は第2実施形態による記憶装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0046】第1及び第2実施形態で突起14をフォトリソグラフィ技術を用いて形成したが、本実施形態ではフォトリソグラフィ技術を用いずに突起14を形成することに主な特徴がある。まず、ガラス基板10上に、プラズマCVD法により、アモルファスシリコン膜42を形成する。アモルファスシリコン膜42の膜厚は、20~100nmの範囲ならよいが、約50nmが望ましい。この後、電気炉にて、450℃、2時間の熱処理を加え、アモルファスシリコン膜42内に含まれている水素ガスを脱離させる(図7(a)参照)。

【0047】次に、波長308nmのXeClエキシマレーザにより、紫外線を照射し、アモルファスシリコン膜42を溶解する。照射する紫外線のエネルギー密度は340mJ/cm²とし、照射時間は100ns以下とする。このようにエキシマレーザを用いて加熱すれば、短時間でしかもアモルファスシリコン膜だけを選択的に加熱することができるので、ガラス基板10に熱的なダメージを与えることなくアモルファスシリコン膜42を溶解することができる(図7(b)参照)。

【0048】次に、溶解したアモルファスシリコン膜42を凝固して、ポリシリコン膜44を形成する。このようにして形成されたポリシリコン膜44は、多数の結晶粒46より構成されている。結晶粒46同士の境界は、粒界48と呼ばれている。粒界48近傍には、突起14が形成される。突起14は、結晶粒46が凝固する際、結晶粒46の中心から結晶化が進むために結晶粒46の端部が隆起して形成されると考えられる。このような観点から本願発明者が観察検討を行った結果、膜厚約50nmのアモルファスシリコン膜で高さ約20~50nmの突起14が形成され、膜厚30nmのアモルファスシリコン膜で高さ約100nmの突起14が形成されることがわかった。このようにアモルファスシリコン膜42の厚さを変えることにより突起14の高さを変えることができるので、所望の高さの突起14を得られるよう、アモルファスシリコン膜42の厚さを適宜設定すればよい(図7(c)参照)。

【0049】次に、プラズマCVD法により、膜厚120nmの酸化シリコン膜より成る絶縁膜16を形成す

る。原料ガスとしては、シランガス、及び亜酸化窒素ガスを用いる。この後、DCスパッタ法により、膜厚300nmのAl膜より成る電極18を形成する(図7(d)参照)。このように、本実施形態にすれば、フォトリソグラフィ技術を用いずにポリシリコン膜44表面に突起14を形成することができる。

【0050】[第4実施形態]本発明の第4実施形態による記憶装置の製造方法を図8を用いて説明する。図8は、本実施形態による記憶装置の製造方法を示す工程断面図である。図1乃至図7に示す第1乃至第3実施形態による記憶装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0051】本実施形態では、第1乃至第3実施形態と異なる方法により突起を形成することに主な特徴がある。まず、ガラス基板10上に、DCスパッタ法により、不純物としてSnを添加した膜厚50nmのITO(Indium-Tin-Oxide)膜50を形成する(図8(a)参照)。

【0052】次に、平行平板型のプラズマCVD装置内に載置し、ガラス基板10を200℃以上、望ましくは260℃にまで加熱した後、水素プラズマを発生させる。水素プラズマは還元力が強いので、酸化膜より成るITO膜50は容易に還元され、In及びSn粒子52がITO膜50上に形成される(図8(b)参照)。次に、プラズマCVD法により、アモルファスシリコン54を堆積する。原料ガスとしては、シランガス及び水素ガスを用いる。ガラス基板10上のIn及びSn粒子52は、アモルファスシリコン54の堆積に際して強い触媒作用を示すので、In及びSn粒子52の下部に選択的にアモルファスシリコン54が堆積され、In及びSn粒子52、及びアモルファスシリコン54より成る突起14が形成される(図8(c)参照)。

【0053】次に、プラズマCVD法により、酸化シリコン膜より成る絶縁膜16を形成する。原料ガスとしては、シランガスと亜酸化窒素ガスを用いる。この後、DCスパッタ法により膜厚300nmのAl膜より成る電極18を形成する(図8(d)参照)。このように、本実施形態によれば、ITO膜50表面上、In及びSn粒子14、及びアモルファスシリコン54より成る突起14を形成することができる。

【0054】[変形実施形態]本発明は上記実施形態に限らず種々の変形が可能である。例えば、第1乃至第4実施形態では、トップゲート型のスタガ型トランジスタを用いて説明したが、ボトムゲート型、又はコプレーナ型のスタガ型トランジスタでもよいし、MOS型、又はバイポーラ型トランジスタ等に適用してもよい。

【0055】また、第3実施形態では、波長308nmのエキシマレーザを光源として、電極となる膜であるアモルファスシリコン膜を溶解したが、光源はエキシマレーザに限定されるものではなく、電極となる膜の膜厚と

同程度の厚さで減衰する波長の光源であれば、どのような光源を用いてもよい。また、第4実施形態において、ITO膜を用いたが、ITO膜に限定されるものではなく、酸化スズ膜、酸化インジウム膜、酸化亜鉛膜等を用いてもよい。

【0056】また、第1乃至第4実施形態において、ガラス基板を用いたが、ガラス基板に限定されるものではなく、石英や酸化シリコン膜を形成したシリコンウェハなど絶縁性を有する基板であればあらゆる基板を用いてもよい。また、第3実施形態において、シリコンを用いて突起を形成したが、シリコンに限らずアルミニウム、チタン、タングステン、モリブデン等を用いてもよい。

【0057】また、第1実施形態において、電極12にソース電極24を接続するのはなく、電極12にドレイン電極28を接続してもよい。

【0058】

【発明の効果】以上の通り、本発明によれば、表面に突起が形成された電極、絶縁膜、及び絶縁膜上に形成された電極等を低い温度で形成することができるので、耐熱性の低い基板上にメモリセルを形成することができる。また、表面に突起が形成された電極、絶縁膜、及び絶縁膜上に形成された電極等にはp-n接合を形成する必要があるのが、高品質なp-n接合を形成することが困難な基板上にもメモリセルを形成することができる。

【0059】また、本発明によれば、ソース電極、ドレイン電極、表面に突起が形成された活性層、ゲート絶縁膜、及びゲート電極等を低い温度で形成することができるので、耐熱性の低い基板上にメモリセルを形成することができる。また、ソース電極、ドレイン電極、表面に突起が形成された活性層、ゲート絶縁膜、及びゲート電極等にはp-n接合を形成する必要があるのが、高品質なp-n接合を形成することが困難な基板上にもメモリセルを形成することができる。

【0060】また、本発明によれば、表面に突起が形成された電極と絶縁膜上に形成された電極との間に所定の電圧を印加し、突起と絶縁膜上に形成された電極との間の絶縁膜を絶縁破壊して、表面に突起が形成された電極と絶縁膜上に形成された電極との間に変質領域を形成することにより情報を書き込むことができる。また、本発明によれば、表面に突起が形成された活性層とゲート電極との間に所定の電圧を印加し、突起とゲート電極との間のゲート絶縁膜を絶縁破壊して、活性層に変質領域を形成することにより情報を書き込むことができる。

【0061】また、本発明によれば、表面に突起が形成された電極と絶縁膜上に形成された電極との間に所定の電圧を印加し、表面に突起が形成された電極と絶縁膜上に形成された電極との間に流れる電流に応じて書き込

めた情報を読み出すことができる。また、本発明によれば、ゲート電極に所定の電圧を印加したときに流れるドレイン電流に応じて書き込まれた情報を読み出すことができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による記憶装置を示す断面図である。

【図2】本発明の第1実施形態による記憶装置の動作原理を示す断面図である。

【図3】本発明の第1実施形態による記憶装置の製造方法を示す工程断面図である。

【図4】本発明の第2実施形態による記憶装置を示す断面図である。

【図5】本発明の第2実施形態による記憶装置のゲート電圧-ドレイン電流特性を示すグラフである。

【図6】本発明の第2実施形態による記憶装置の製造方法を示す工程断面図である。

【図7】本発明の第3実施形態による記憶装置の製造方法を示す工程断面図である。

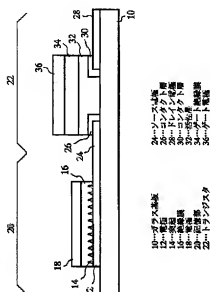
【図8】本発明の第4実施形態による記憶装置の製造方法を示す工程断面図である。

【符号の説明】

- 10…ガラス基板
- 12…電極
- 14…突起
- 16…絶縁膜
- 18…電極
- 20…記憶部
- 22…トランジスタ
- 24…ソース電極
- 26…コンタクト層
- 28…ドレイン電極
- 29…アモルファスシリコン膜
- 30…コンタクト層
- 32…活性層
- 34…ゲート絶縁膜
- 36…ゲート電極
- 38…変質領域
- 40…Cr層
- 42…アモルファスシリコン膜
- 44…ポリシリコン膜
- 46…結晶粒
- 48…粒界
- 50…ITO膜
- 52…In及びSn粒子
- 54…アモルファスシリコン

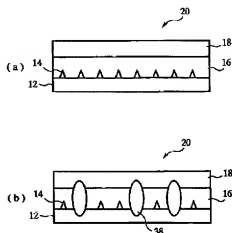
【図1】

本発明の第1実施形態による記憶装置を示す断面図



【図2】

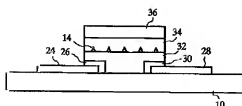
本発明の第1実施形態による記憶装置の動作原理を示す断面図



38...実質領域

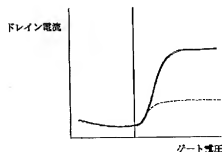
【図4】

本発明の第2実施形態による記憶装置を示す断面図



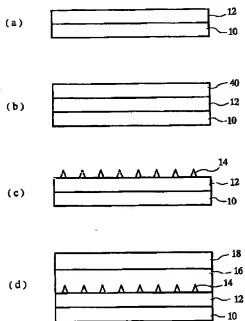
【図5】

本発明の第2実施形態による記憶装置のゲート電圧-ドレイン電流特性を示すグラフ



【図3】

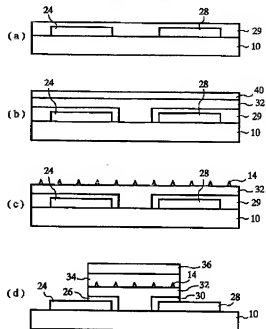
本発明の第1実施形態による記憶装置の製造方法
を示す工程断面図



40→Cr:Ga

【図6】

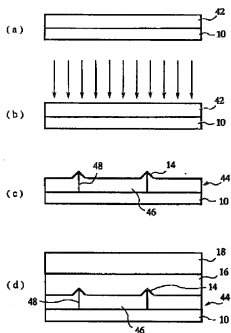
本発明の第2実施形態による記憶装置の製造方法
を示す工程断面図



29→アモルファスシリコン膜

【図7】

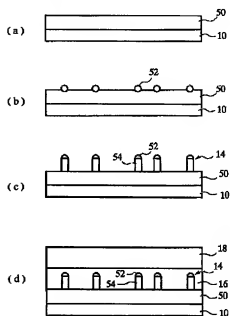
本発明の第3実施形態による記憶装置の製造方法
を示す工程断面図



42…アモルファスシリコン膜
44…ポリシリコン膜
46…前島膜
48…酸層

【図8】

本発明の第4実施形態による記憶装置の製造方法
を示す工程断面図



50…ITO膜
52…In及びSn粒子
54…アモルファスシリコン

フロントページの続き

(72)発明者 菅 勝行

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 三島 康由

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内